

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



IPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/709,552
		Filing Date	05/13/2004
		First Named Inventor	Ching-Hua Chen
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	LKSP0033USA

### ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
Remarks		

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	5/25/2004

### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known	
Application Number	10/709,552
Filing Date	05/13/2004
First Named Inventor	Ching-Hua Chen
Examiner Name	
Art Unit	
Attorney Docket No.	LKSP0033USA

## METHOD OF PAYMENT (check all that apply)

 Check  Credit card  Money Order  Other  None
 Deposit Account:

Deposit Account Number	50-3105
Deposit Account Name	North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below  Credit any overpayments  
 Charge any additional fee(s) or any underpayment of fee(s)  
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

## 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)		(\$ 0.00)	

## 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			- 3** =	X	=

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$ 0.00)

\*\*or number previously paid, if greater; For Reissues, see above

## 3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

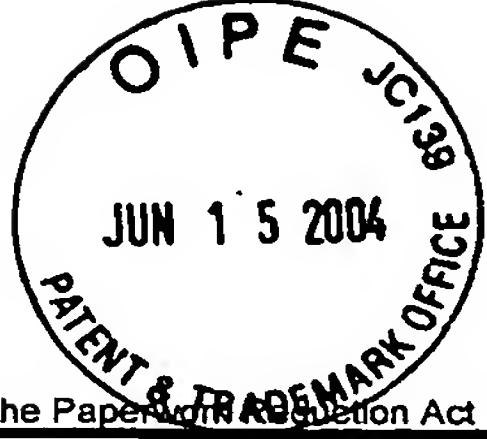
(Complete if applicable)

SUBMITTED BY			
Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526
Signature	<i>Winston Hsu</i>		
Date	5/25/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

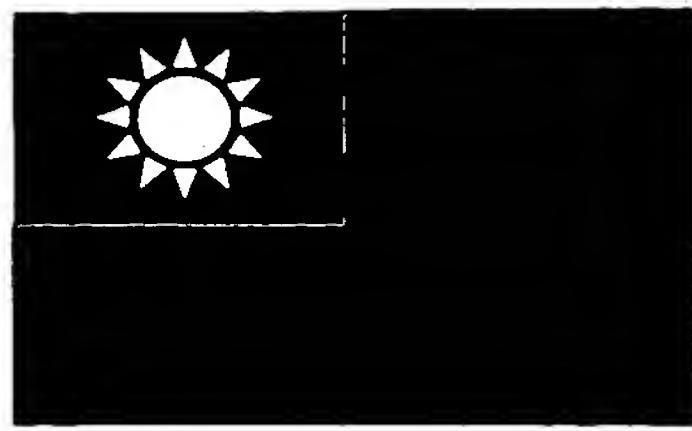
~~Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.~~

# **DECLARATION -- Supplemental Priority Data Sheet**

#### **Additional foreign applications:**

**Burden Hour Statement:** This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

4K5-033



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 18 日  
Application Date

申請案號：092132299  
Application No.

申請人：力晶半導體股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 5 月 6 日  
Issue Date

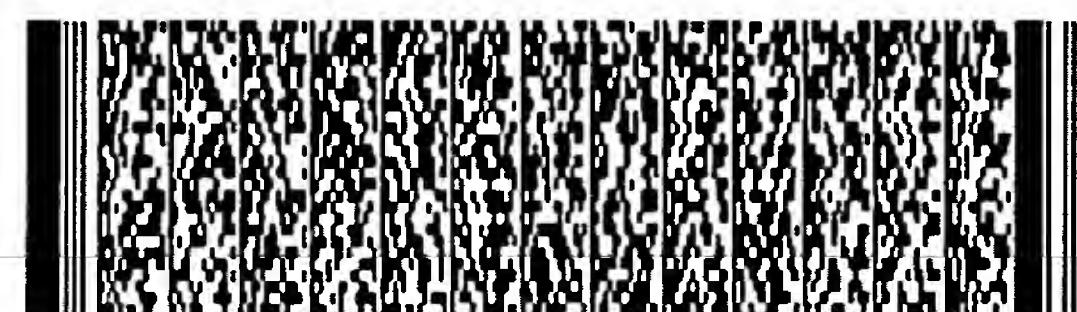
發文字號：09320404340  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	製作阻障層之方法
	英文	METHOD OF FORMING BARRIER LAYER
二、 發明人 (共2人)	姓名 (中文)	1. 陳菁華 2. 鄭意中
	姓名 (英文)	1. CHEN, CHING-HUA 2. CHENG, YI-CHUNG
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市科園路一0七巷八號十二樓之一 2. 台北縣板橋市文化路一段五十二巷十七號四樓
	住居所 (英 文)	1. 12F-1, No. 8, Lane 107, Ko-Yuan Rd., Hsin-Chu City, Taiwan, R.O.C. 2. 4F, No. 17, Lane 52, Sec. 1, Wen-Hwa Rd., Pan-Chiao City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓名 (英文)	1. POWERCHIP SEMICONDUCTOR CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行一路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-based Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
代表人 (英文)	1. HUANG, CHUNG-JENG	



四、中文發明摘要 (發明名稱：製作阻障層之方法)

本發明係關於一種形成鈦/TiN阻障層的方法，首先提供一半導體基底，且半導體基底上包含有至少一導電層，接著進行一化學氣相沉積(CVD)製程，於導電層上形成一Ti/TiN阻障層，隨後進行一檢測程序。若偵測出Ti/TiN阻障層中包含有微粒，則進行一重作製程。

五、英文發明摘要 (發明名稱：METHOD OF FORMING BARRIER LAYER)

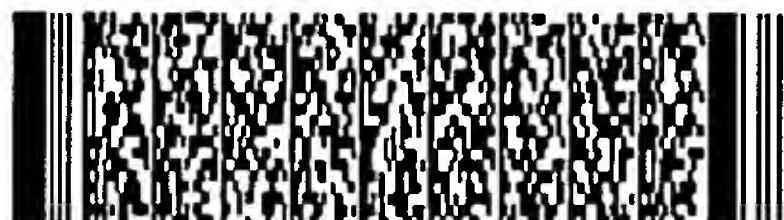
A method of forming a Ti/TiN barrier layer is disclosed. First, a substrate having at least a conducting layer is provided. Then, a CVD process is performed to form the Ti/TiN barrier layer onto the conducting layer. A detecting procedure is followed, if particles are detected in the Ti/TiN barrier layer, then a rework procedure is performed to remove the Ti/TiN barrier layer and



四、中文發明摘要 (發明名稱：製作阻障層之方法)

五、英文發明摘要 (發明名稱：METHOD OF FORMING BARRIER LAYER)

to reform a new Ti/TiN barrier layer.



六、指定代表圖

(一)、本案代表圖為：第 \_\_\_ 七 \_\_\_ 圖

(二)、本案代表圖之元件代表符號簡單說明：

110 形成一阻障層

110 進行一檢測程序

120 進行一重作製程

130 進行後續製程



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權。

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明係提供一種製作阻障層之方法，尤指一種利用檢測程序及重作(rework)製程來製作一高良率之阻障層的方法。

### 【先前技術】

在半導體製程中，常會因為所多無法避免的因素而產生許多微粒(particles)，而這些微粒的存在，輕則影響部份晶粒(die)之半導體元件的電性表現，嚴重時則必需報廢整批晶片。一般半導體製程上多採用濕蝕刻或液態刷洗(liquid type scrubber)方法來去除微粒，然而這種方式僅能夠去除半導體晶片表面薄膜上附著之微粒，一旦微粒係於薄膜沉積過程中同時形成，或存在於前次薄膜表面，亦即微粒會被當層薄膜所包覆，則液態刷洗方式亦無法有效去除微粒，而嚴重影響半導體製程良率。

此外，隨著半導體製程線寬日益下降且元件積集度不斷提升的情形下，物理氣相沉積(physical vapor deposition, PVD)技術，如蒸鍍(evaporation)或濺鍍(sputtering)，已無法解決半導體製程所遭遇的困難，特別是在進行沉積時易於線寬較小或高寬比(aspect ratio)過大處形成孔洞(voids)的問題。因此為了提高階



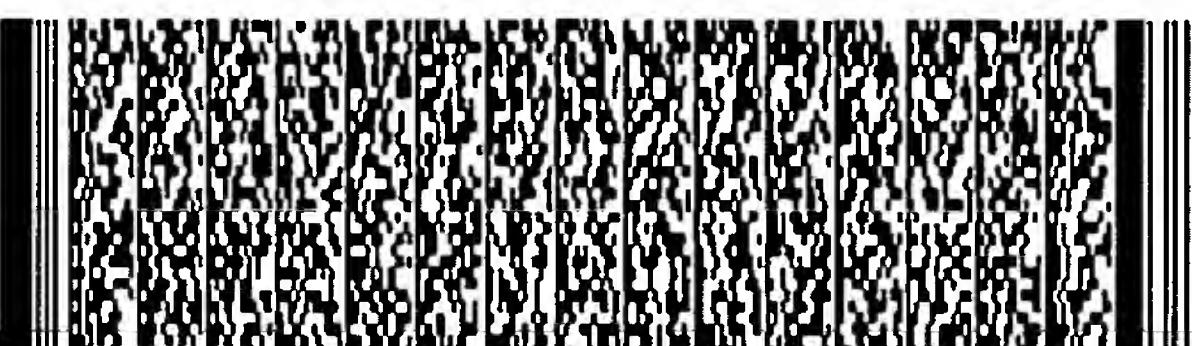
## 五、發明說明 (2)

梯 覆 蓋 (step coverage) 良 好 的 薄 膜，一 般 均 採 用 化 學 氣 相 沉 積 (chemical vapor deposition, CVD) 方 法 來 製 作 薄 膜，以 確 保 形 成 薄 膜 之 形 狀 良 好。

這 種 利 用 化 學 氣 相 沉 積 形 成 薄 膜 雖 然 可 以 得 到 階 梯 覆 蓋 較 佳 的 薄 膜，然 而 CVD 製 程 中 却 容 易 因 為 氣 相 長 晶 (gas phase nucleation) 現 象，或 是 因 反 應 器 內 壁 殘 留 薄 膜 剝 離 (peeling)，或 著 反 應 不 完 全 粒 子 掉 落 而 導 致 微 粒 產 生，進 而 影 響 沉 積 製 程 的 良 率。以 下 舉 半 導 體 製 程 中 常 見 之 阻 障 層 沉 積 製 程 為 例，來 說 明 微 粒 形 成 之 原 因 及 其 對 阻 障 層 電 性 的 影 響。

請 參 考 圖 一 及 圖 二，圖 一 及 圖 二 為 習 知 形 成 阻 障 層 之 方 法 示 意 圖。如 圖 一 所 示，首 先 提 供 一 半 導 體 基 底 10，其 上 包 含 有 至 少 一 閘 極 結 構 12，閘 極 結 構 12 之 周 圍 側 壁 包 含 一 側 壁 子 14，且 閘 極 結 構 12 側 邊 之 半 導 體 基 底 10 中 另 包 含 有 一 浚 極 摻 極 區 16 與 一 源 極 摻 極 區 18。接 著 於 半 導 體 基 底 10 上 形 成 一 介 電 層 20，並 利 用 一 光 阻 圖 案 (圖 未 示) 去 除 部 分 浚 極 摻 極 區 16 上 方 之 介 電 層 20，以 形 成 一 插 塞 洞 22。

隨 後 如 圖 二 所 示，進 行 一 CVD 製 程，以 於 插 塞 洞 22 內 壁 形 成 一 阻 障 層 24。其 中，阻 障 層 24 一 般 係 由 鈦 / 氮 化 鈦 所 組 成，用 來 提 升 後 繢 形 成 之 金 屬 位 元 線 插 塞 (圖 未 示) 對 半



### 五、發明說明 (3)

導體基底10的歐姆式接觸(ohmic contact)能力並抑制金屬原子擴散的情形。如前所述，在CVD製程中一旦因為反應器內之微粒掉落，或是因為氣相長晶現象而造成欲沉積之阻障層產生大小不一的晶粒，都會造成如圖二中所示之微粒26。

目前大多是在完成金屬連線製程後才會進行電性檢測，而未達預期電性標準之半導體元件，在利用電子顯微鏡觀察後會發現往往是因为微粒所造成的，而這些未達電性標準的晶粒因無法使用也只能以報廢方式處理，嚴重影響良率。因此，如何解決微粒對半導體良率的傷害實為目前半導體製程上一重要課題。

### 【內容】

因此，本發明之主要目的在於提供一種包含有檢測程序及重作製程之阻障層的形成方法，以解決習知技術無法克服之微粒問題，進而提升製程良率。

根據本發明之申請專利範圍所揭露的方法，首先提供一半導體基底，且半導體基底上包含有至少一導電層，接著進行一CVD製程，以於導電層上形成一阻障層，隨後再進行一檢測程序。若偵測出阻障層中包含有微粒，則進行一重作製程。此重作製程是先進行一蝕刻製程，以去



#### 五、發明說明 (4)

除先前所形成之阻障層，接著利用一刷洗機台 (scrubber) 刷洗半導體基底，然後以清洗溶液清洗半導體基底表面，最後再進行另一CVD製程，以於導電層上形成另一阻障層。而若未偵測出阻障層中包含有微粒，則省略上述重作製程。

由於本發明係於形成阻障層後便進行一檢測程序，並在發現過大之微粒時，隨即進行一重作製程以重新形成阻障層，有別於習知技術於發現電性不佳而採取報廢的作法，故可大幅提升良率。

#### 【實施方法】

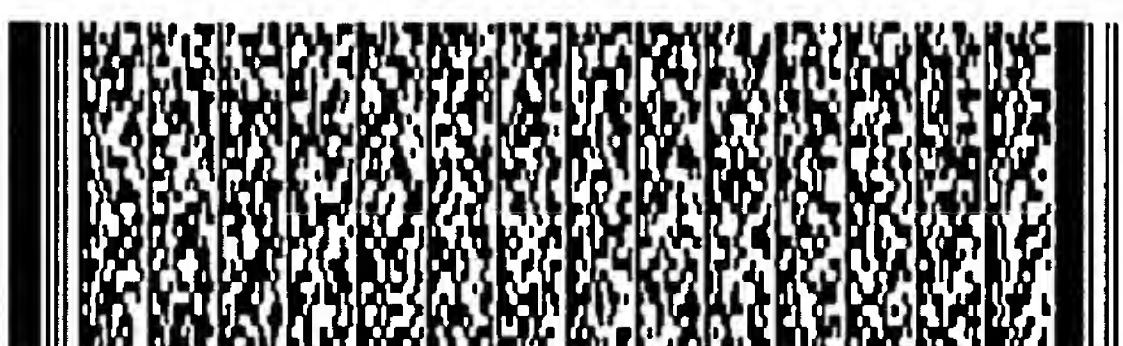
為進一步說明本發明方法，以下舉半導體製程中金屬位元線插塞之阻障層製程來說明本發明製作阻障層之方法。請參考圖三至圖六，圖三至圖六為本發明較佳實施例製作阻障層之方法示意圖。如圖三所示，首先提供每一半導體基底50，其上包含有至少一閘極結構52，且每一閘極結構52側邊之半導體基底50中包含有一汲極摻雜區54與一源極摻雜區56。此外，每一閘極結構52均包含有一頂蓋層58位於閘極結構52上方，以及一側壁子60環繞於閘極結構52之側壁。其中，頂蓋層58與側壁子60通常係由氮化矽所組成，用來避免後續製程可能發生的短路問題。



## 五、發明說明 (5)

接著於半導體基底50上形成一介電層62，並利用一光阻圖案(圖未示)進行一蝕刻製程，去除部分介電層62以形成一接觸洞(圖未示)，隨後再去除光阻圖案(圖未示)。然後於接觸洞(圖未示)內沈積一多晶矽層64，並於多晶矽層64表面形成一金屬矽化物(silicide)66。其中，多晶矽層64係作為一轉接墊(landing pad)之用，而金屬矽化物66則係為了增加與後續欲形成之阻障層的導電性，在本實施例中，係利用鈷或鈷化合物與多晶矽64層自行對準金屬矽化(salicide)反應，以於多晶矽層64表面形成一矽化鈷(CoSi)層，作為金屬矽化物66。

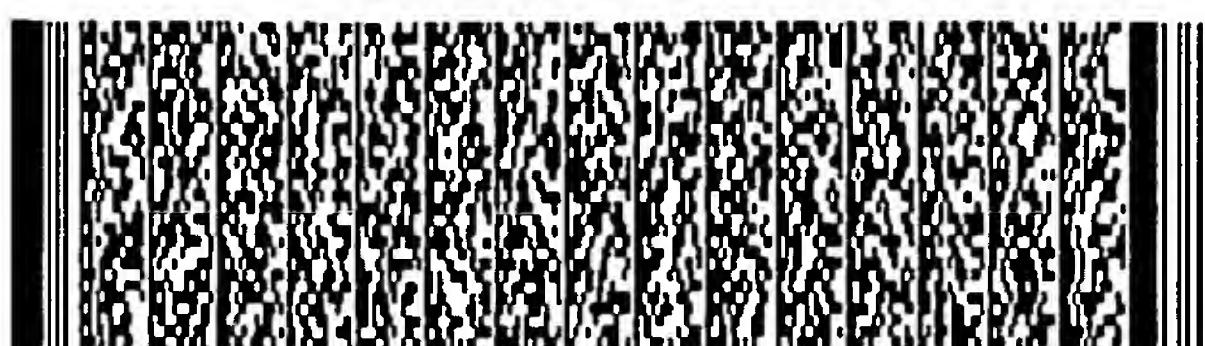
如圖四所示，接著於介電層62與金屬矽化物66上沉積另一介電層68，並利用一光阻圖案(圖未示)來蝕刻部分介電層68，以於金屬矽化物66上方形成一插塞洞69，然後去除光阻圖案(圖未示)。接著進行一化學氣相沉積製程，於金屬矽化物66表面與介電層68表面形成一鈦/氮化鈦薄膜70，作為阻障層之用。其中形成鈦/氮化鈦薄膜70之方法包含有先利用四氯化鈦( $TiCl_4$ )與氫氣( $H_2$ )於高溫下反應，以於金屬矽化物66表面與介電層68表面形成一鈦薄膜(圖未示)，接著再於高溫下通入氨氣( $NH_3$ )以於鈦薄膜(圖未示)表面形成一氮化鈦薄膜(圖未示)，以形成鈦/氮化鈦薄膜70，作為阻障層之用。如前所述，一旦阻障層中有過大的微粒出現，會嚴重影響半導體元件的電



## 五、發明說明 (6)

性表現。因此本發明係於形成鈦/氮化鈦薄膜70之後，隨即利用電子顯微鏡進行一檢測程序，以偵測鈦/氮化鈦薄膜70中之是否包含有過大及過量的微粒72，然後再藉由比對資料庫的方式來判斷這些微粒72是否會影響導電性。若經判斷微粒72不致影響導電性則進行後續形成位元線之製程，若經判斷微粒72過大可能影響電性表現，隨即進行一重作製程以去除微粒72及鈦/氮化鈦薄膜70，並重新形成另一鈦/氮化鈦薄膜。

如圖五所示，本發明之重作製程係先進行一溼蝕刻製程去除微粒(圖未示)與鈦/氮化鈦薄膜(圖未示)，而在本發明之較佳實施例中係使用磷酸( $H_3PO_4$ )、硝酸( $HNO_3$ )、醋酸( $CH_3COOH$ )與水的混合蝕刻溶液來去除微粒72與鈦/氮化鈦薄膜70，其中磷酸：硝酸：醋酸：水的較佳體積比為介於(38~41):(1~1.5):(1.8~2.1):(2.8~3.2)之間，而經實際操作的結果，更佳者為40:1:2:3。利用上述蝕刻溶液，歷經約1400~2000秒的製程反應時間，即可將微粒72與鈦/氮化鈦薄膜70完全去除。接著利用一刷洗機台(scrubber)進行一刷洗步驟以清除金屬矽化物66與介電層68表面殘留之微粒(圖未示)。然後利用一硫酸溶液清洗金屬矽化物66與介電層68表面，以進一步清除金屬矽化物66表面殘留之鈦/氮化鈦薄膜(圖未示)。最後再進行另一化學氣相沉積製程，以於金屬矽化物66與介電層68表面形成另一鈦/氮化鈦薄膜74。

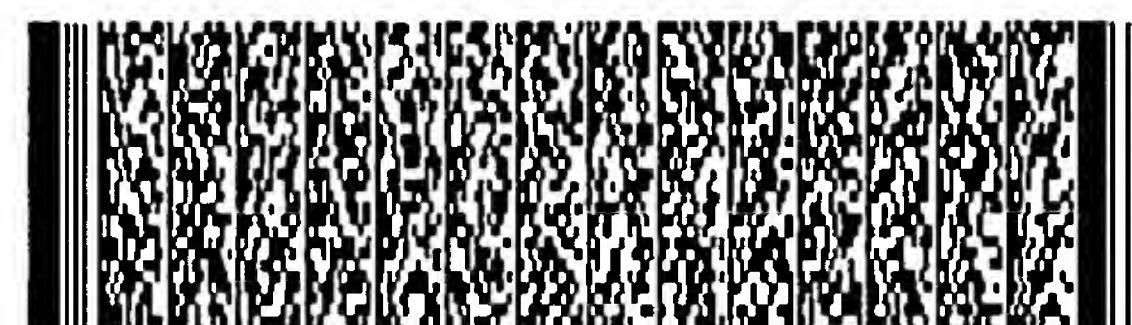


## 五、發明說明 (7)

在形成鈦/氮化鈦薄膜74並通過檢測程序之後，即可繼續進行形成位元線插塞的製程。如圖六所示，先於鈦/氮化鈦薄膜74上沉積一金屬層並填滿插塞洞69(如圖五所示)，接著進行一平坦化製程，以於圖五所示之插塞洞69中形成一位元線插塞76，或者直接利用一光阻圖案(圖未示)來對上述金屬層進行一蝕刻製程，以去除部分金屬層而同時形成所需之位元線78以及位元線插塞76。在本實施例中，位元線插塞76與位元線78之材質係為鎢，然而位元線78亦可視半導體元件設計不同而使用多晶矽等導電材質。

簡而言之，本發明係於形成阻障層後便進行一檢測程序，並且在阻障層中包含有微粒時進行一重作製程來重新形成阻障層。請參考圖七。圖七為本發明製作阻障層方法之流程圖。本發明方法包含有下列步驟：

- 100：於半導體基底表面形成一阻障層；
- 110：進行一檢測程序，判斷阻障層是否包含有會影響導電性之微粒，若有則進行步驟120，若無則進行步驟130；
- 120：進行一重作製程，依照上述之步驟清除阻障層，並另形成一新阻障層；以及
- 130：進行後續形成位元線插塞之製程。



## 五、發明說明 (8)

根據實驗結果顯示，經過重作製程後所形成之鈦/氮化鈦半導體元件薄膜所包含之微粒數目大幅減少，且完成之重作製程可有效提升良率。值得注意的是，本發明之較佳實施例係以一連接轉接墊與位元線插塞之鈦/氮化鈦薄膜的製程來說明本製程中對於電性表現高之阻障層製程，例如金屬插塞製程、金屬內連線製程、雙鑲嵌製程等，以及不同材質之阻障層，如矽化鈷(tungsten silicon)，均可利用本發明所揭露之方法。在不造成導電層(可為一多晶矽層、一金屬層或是一金屬矽化物)損壞的前提下去除原有之阻障層，並進行一重作製程以於導電層之上形成一新阻障層。

相較於習知技術，本發明形成阻障層之方法利用一檢測程序判斷阻障層中是否含有影響電性表現之微粒存在，並利用一重作製程去除包含微粒之阻障層，然後形成一新阻障層，以確保阻障層具有較佳的導電性，進而有效降低製造成本增加良率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一及圖二為習知形成阻障層之方法示意圖。

圖三至圖六為本發明較佳實施例製作阻障層之方法示意圖。

圖七為本發明製作阻障層方法之流程圖。

### 圖式之符號說明

10	半導體基底	12	閘極結構
14	側壁子	16	汲極摻雜區
18	源極摻極區	20	介電層
22	插塞洞	24	阻障層
26	微粒	50	半導體基底
52	閘極結構	54	汲極摻雜區
56	源極摻雜區	58	頂蓋層
60	側壁子	62	介電層
64	多晶矽層	66	金屬矽化物
68	介電層	69	插塞洞
70	鈦/氮化鈦薄膜	72	微粒
74	鈦/氮化鈦薄膜	76	位元線插塞
78	位元線	100	形成一阻障層
110	進行一檢測程序	120	進行一重作製程
130	進行後續製程		



## 六、申請專利範圍

1. 一種形成阻障層之方法，包含有：

(a) 提供一半導體基底，且該半導體基底上包含有至少一插塞洞(plug hole)；

(b) 進行一化學氣相沉積製程，於該半導體基底表面以及該插塞洞內壁表面形成一鈦/氮化鈦(Ti/TiN)薄膜作為該阻障層；

(c) 進行一檢測程序，其中若偵測出該阻障層中包含有微粒，則進行步驟(d)；以及

(d) 進行一重作製程，包含有：

進行一蝕刻製程，去除該阻障層；

利用一刷洗機台(scrubber)刷洗該半導體基底，以去除微粒；

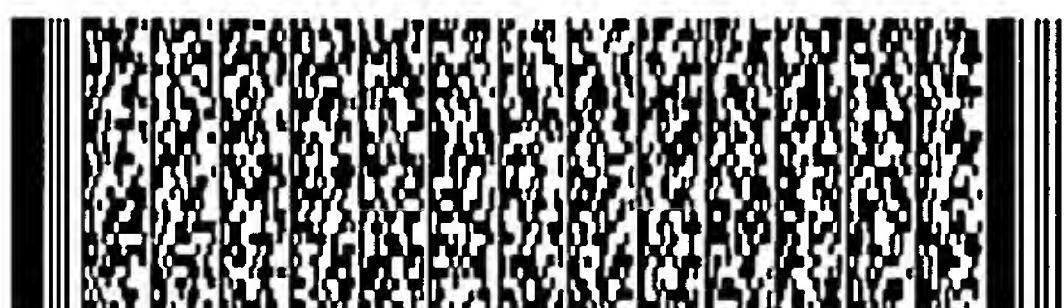
利用一清洗溶液清洗該半導體基底表面；以及

進行另一化學氣相沉積製程，以於該插塞洞內形成另一鈦/氮化鈦薄膜。

2. 如申請專利範圍第1項所述之方法，其中該蝕刻製程係為一溼蝕刻製程。

3. 如申請專利範圍第2項所述之方法，其中該溼蝕刻製程係利用一酸性溶液來進行蝕刻，且該酸性溶液係由磷酸( $H_3PO_4$ )：硝酸( $HNO_3$ )：醋酸( $CH_3COOH$ )：水( $H_2O$ )所組成。

4. 如申請專利範圍第3項所述之方法，其中該酸性溶液中



## 六、申請專利範圍

磷酸：硝酸：醋酸：水的體積比例係介於(38~41):(1~1.5):(1.8~2.1):(2.8~3.2)之間。

5. 如申請專利範圍第1項所述之方法，其中該清洗溶液係為一硫酸溶液。

6. 如申請專利範圍第1項所述之方法，其中該檢測程序係用以檢測出影響電性表現的微粒。

7. 一種形成阻障層之方法，包含有：

(a) 提供一半導體基底，且該半導體基底上包含有至少一導電層；

(b) 進行一化學氣相沉積製程，於該導電層上形成一阻障層；

(c) 進行一檢測程序，其中若偵測出該阻障層中包含有微粒，則進行步驟(d)；以及

(d) 進行一重作製程，包含有：

進行一蝕刻製程，去除該阻障層；

利用一刷洗機台(scrubber)刷洗該半導體基底，以去除微粒；

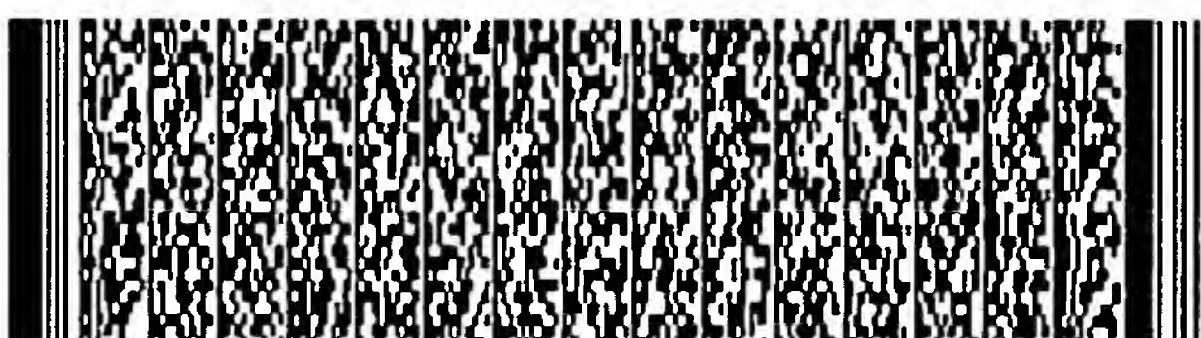
利用一清洗溶液清洗該半導體基底表面；以及

進行另一化學氣相沉積製程，以於該導電層上形成另一阻障層。



六、申請專利範圍

8. 如申請專利範圍第7項所述之方法，其中該阻障層係為一鈦/氮化鈦薄膜。
9. 如申請專利範圍第7項所述之方法，其中該導電層係為一多晶矽層。
10. 如申請專利範圍第7項所述之方法，其中該導電層係為一矽化金屬層。
11. 如申請專利範圍第7項所述之方法，其中該導電層係為一金屬層。
12. 如申請專利範圍第7項所述之方法，其中該蝕刻製程係為一溼蝕刻製程。
13. 如申請專利範圍第12項所述之方法，其中該溼蝕刻製程係利用一酸性溶液來進行蝕刻，且該酸性溶液係由磷酸( $H_3PO_4$ )：硝酸( $HNO_3$ )：醋酸( $CH_3COOH$ )：水( $H_2O$ )所組成。
14. 如申請專利範圍第13項所述之方法，其中該酸性溶液中磷酸：硝酸：醋酸：水的體積比例係介於(38~41):(1~1.5):(1.8~2.1):(2.8~3.2)之間。
15. 如申請專利範圍第7項所述之方法，其中該清洗溶液

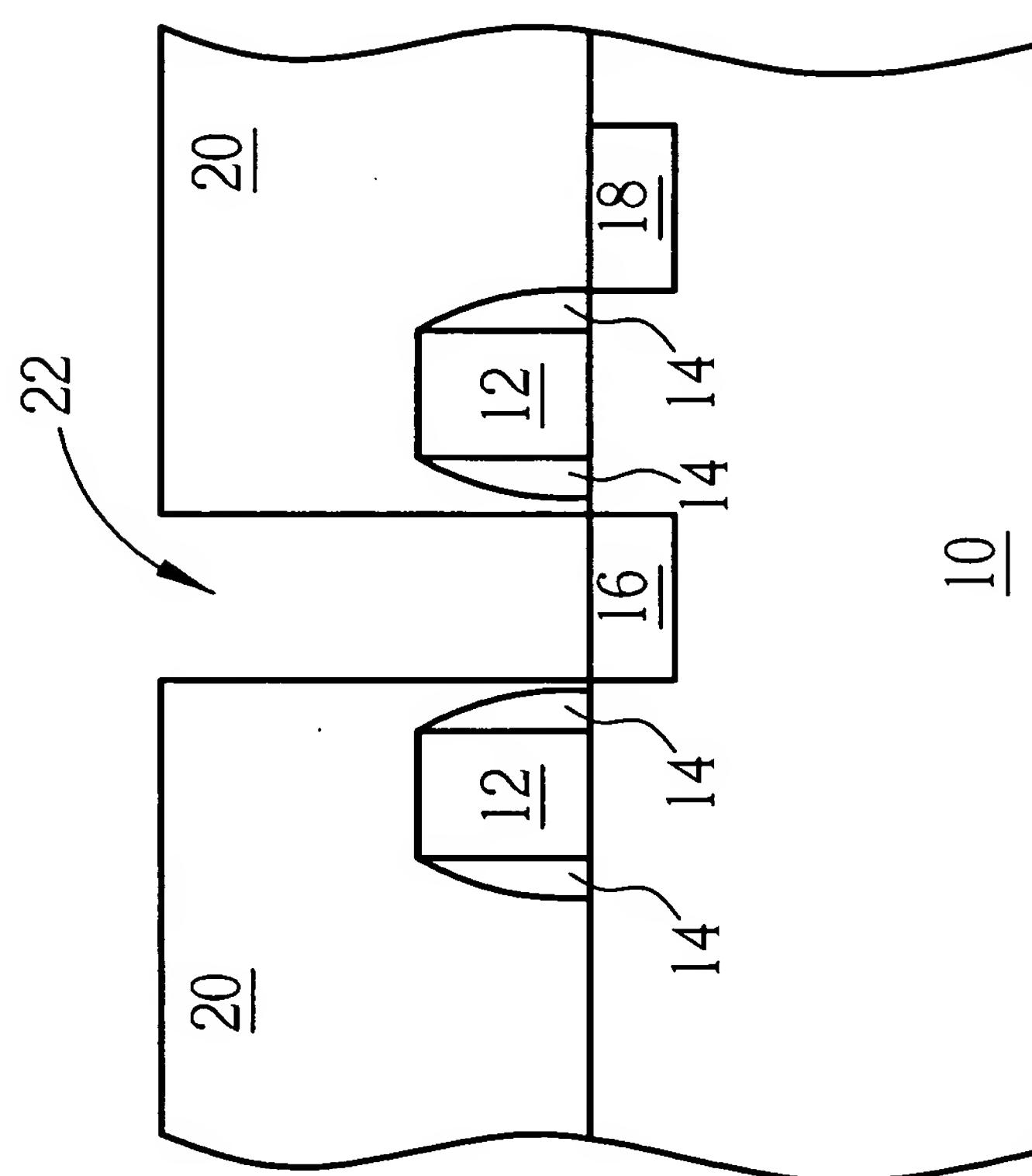


六、申請專利範圍

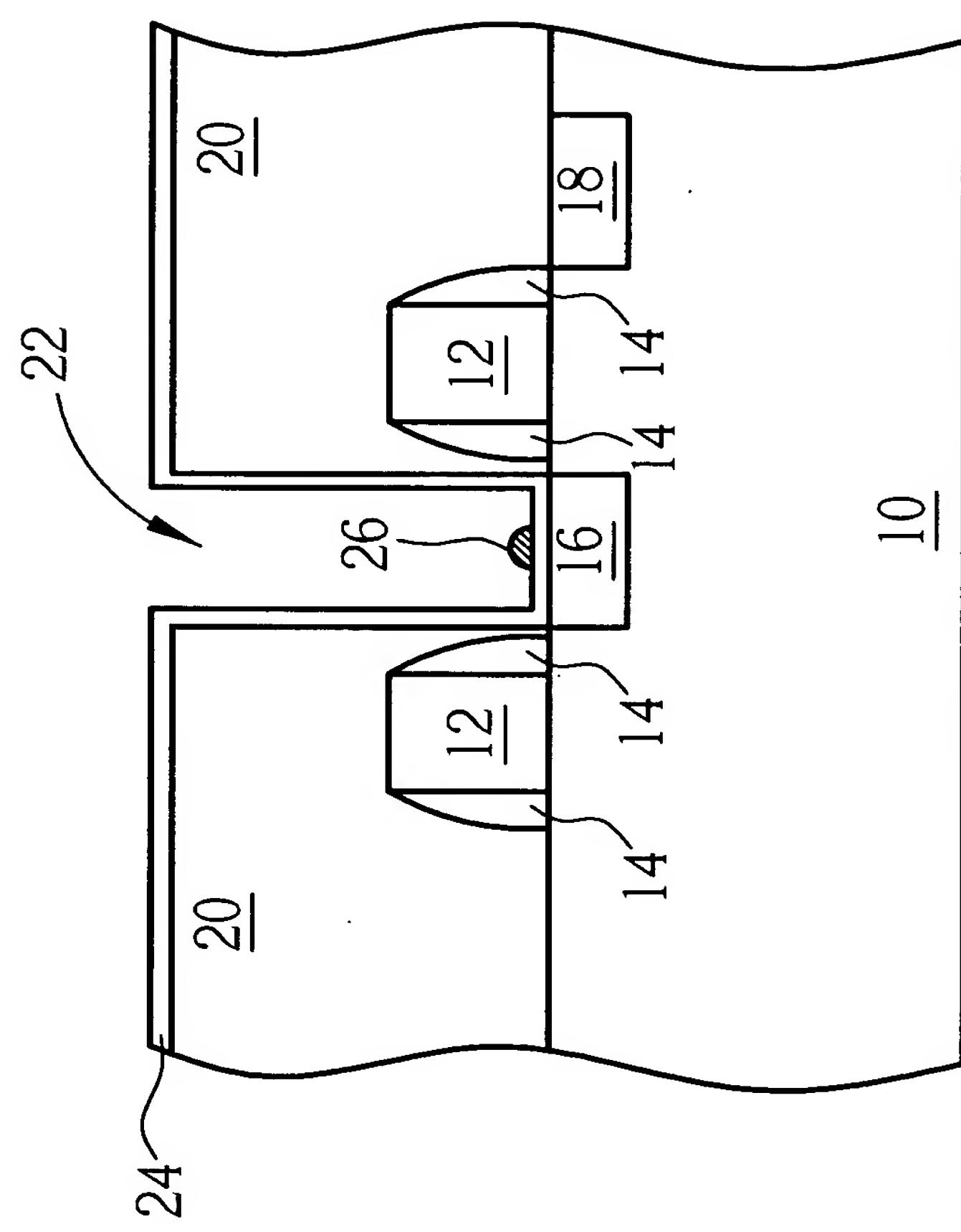
係為一硫酸溶液。



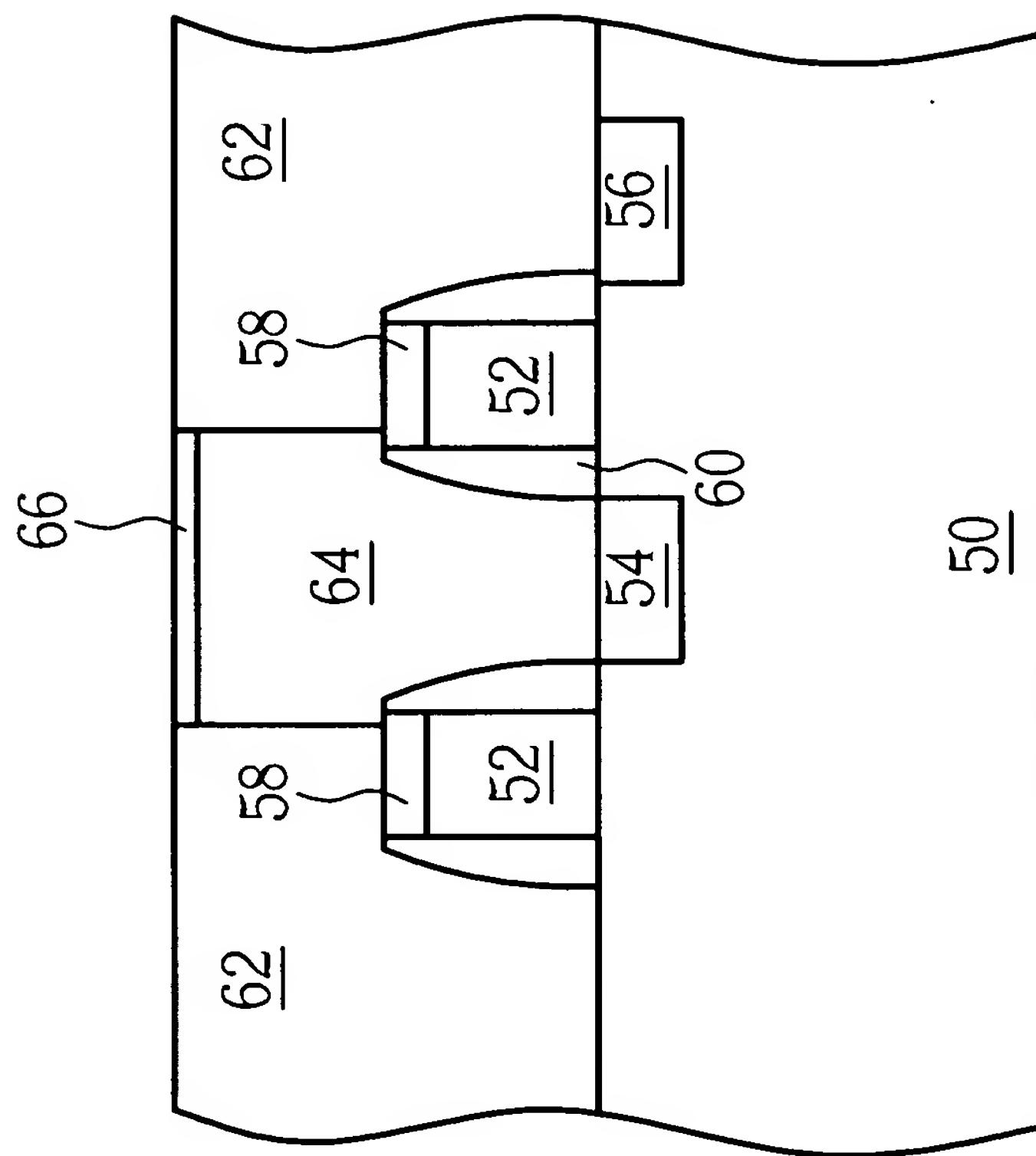
圖一



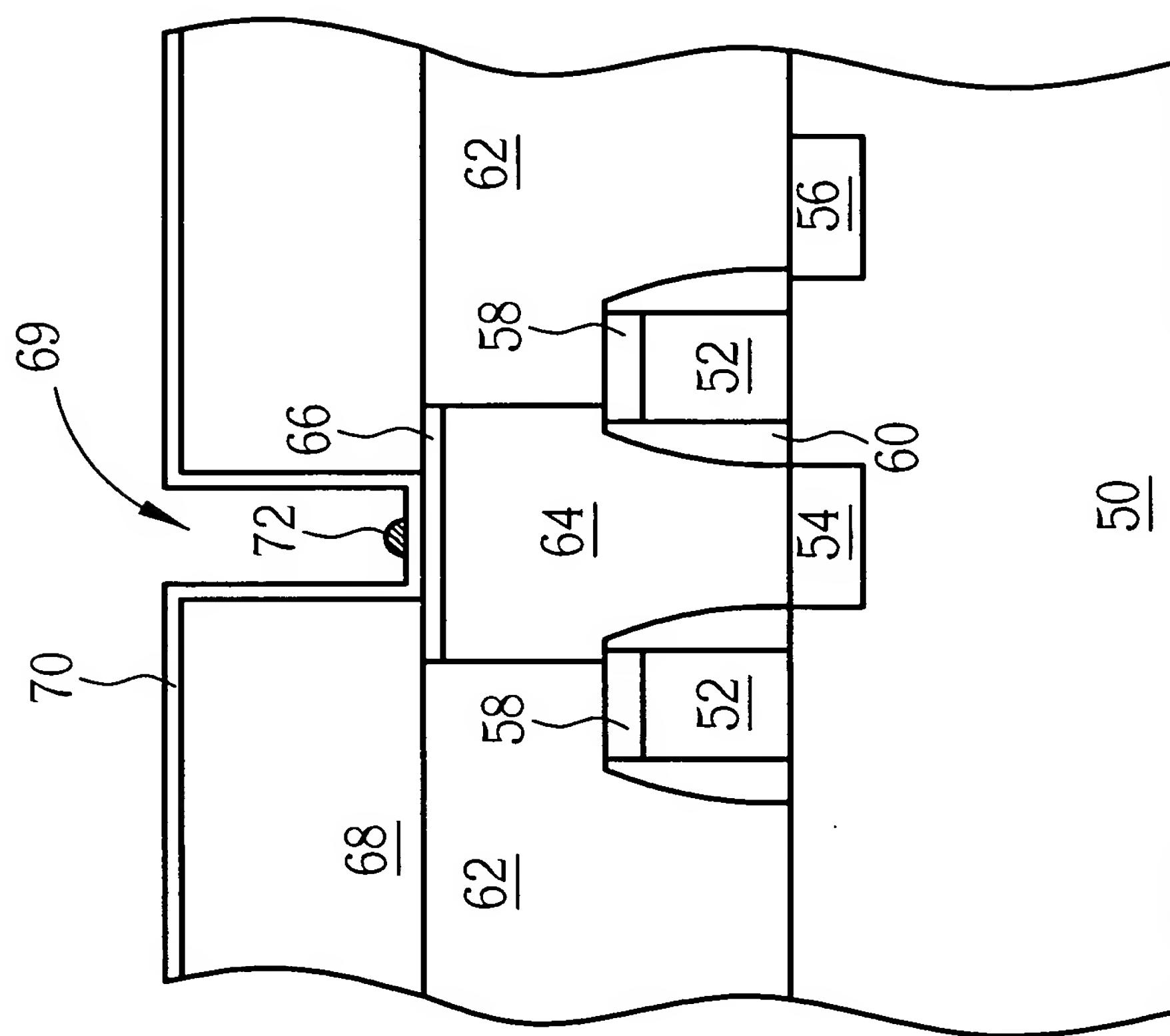
圖二



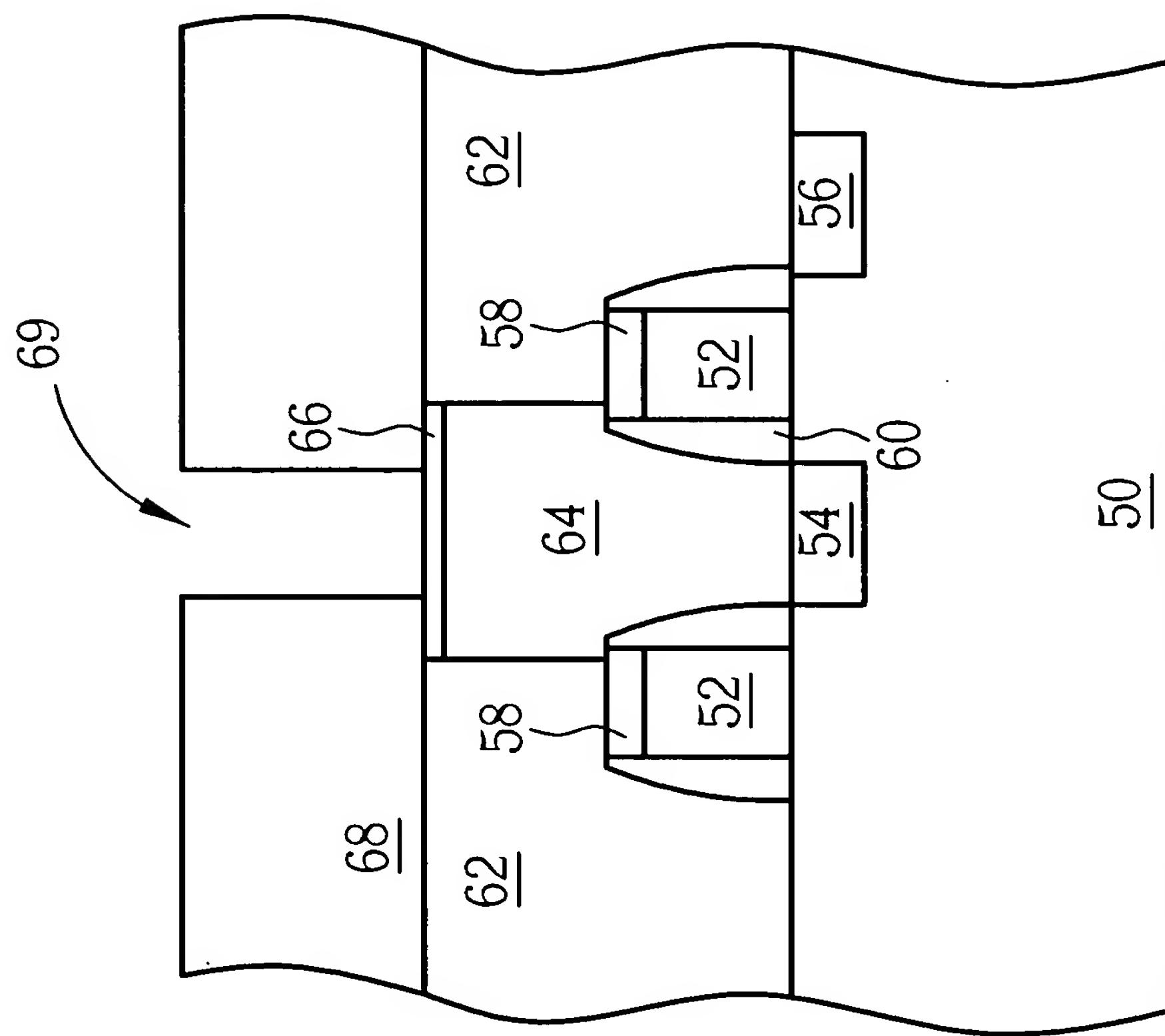
圖二



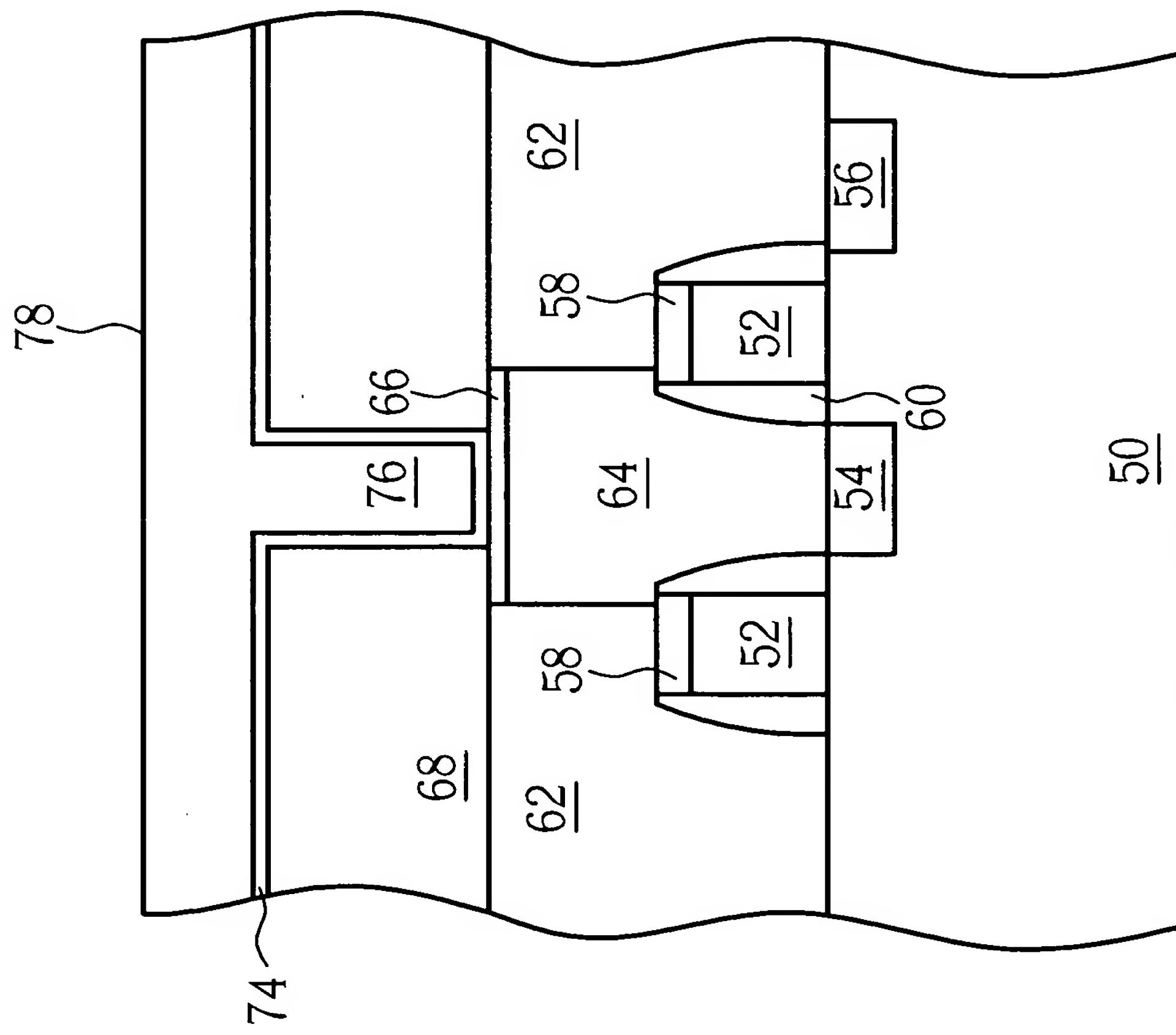
圖四

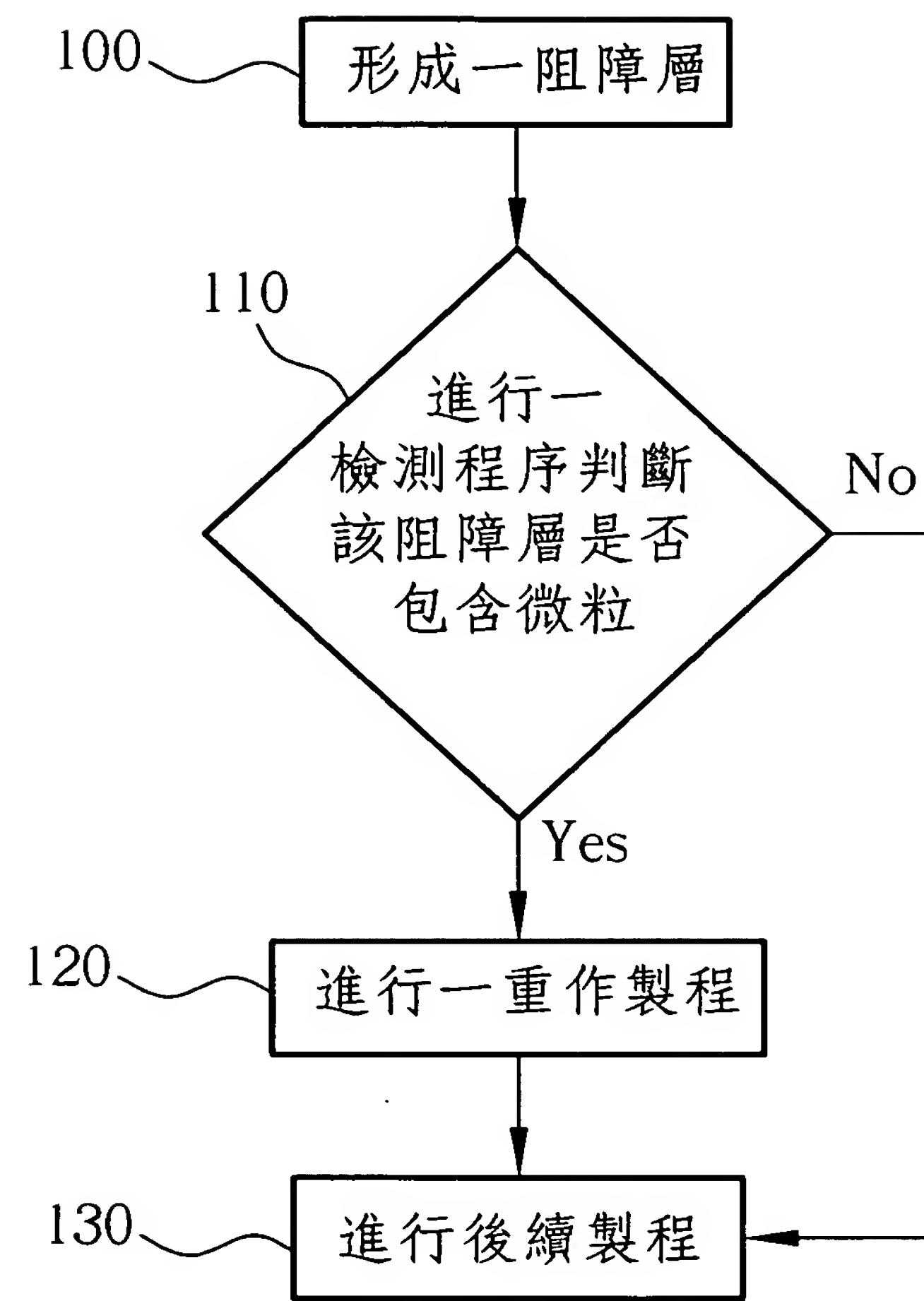


圖五



圖六



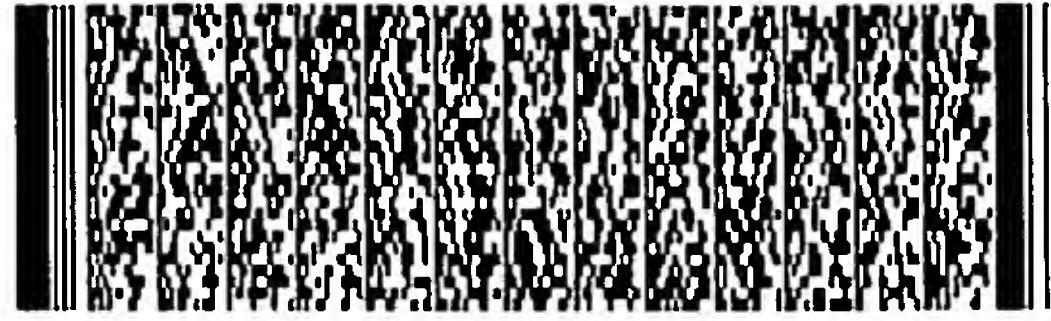


圖七

第 1/18 頁



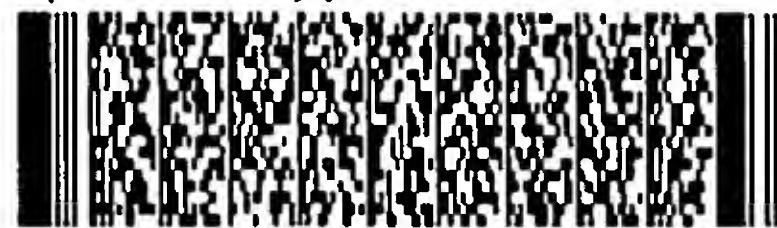
第 1/18 頁



第 2/18 頁



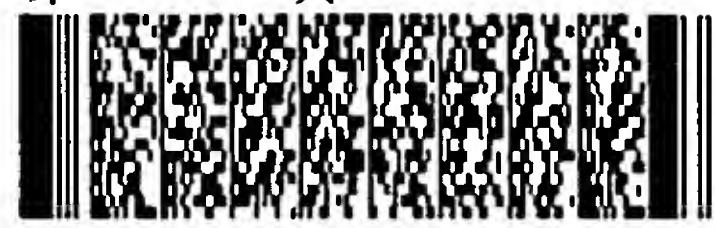
第 3/18 頁



第 4/18 頁



第 5/18 頁



第 6/18 頁



第 6/18 頁



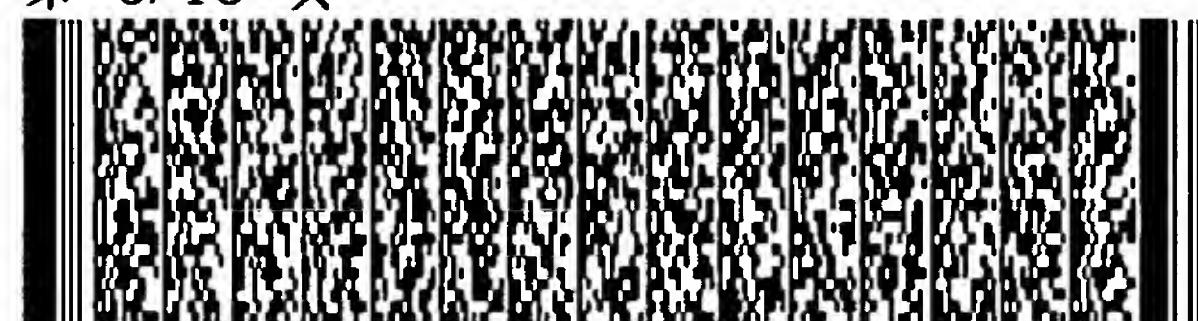
第 7/18 頁



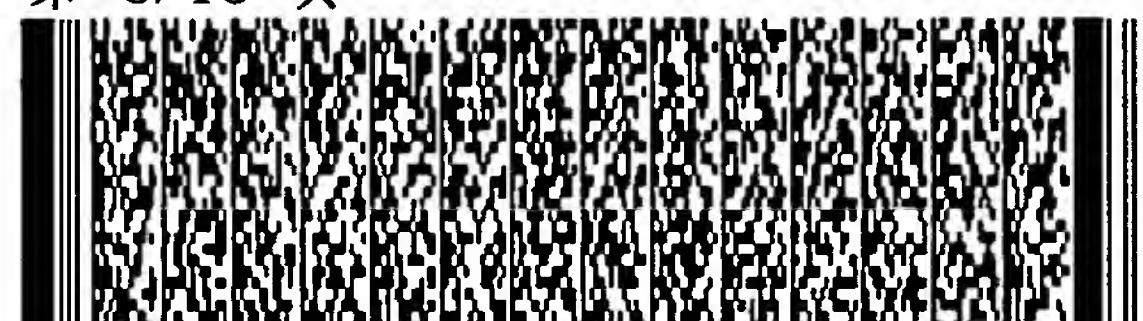
第 7/18 頁



第 8/18 頁



第 8/18 頁



第 9/18 頁



第 9/18 頁



第 10/18 頁

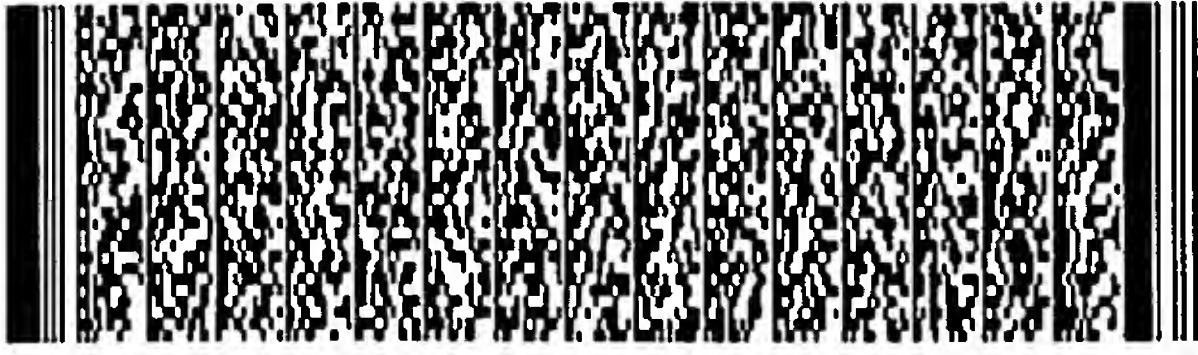


第 10/18 頁

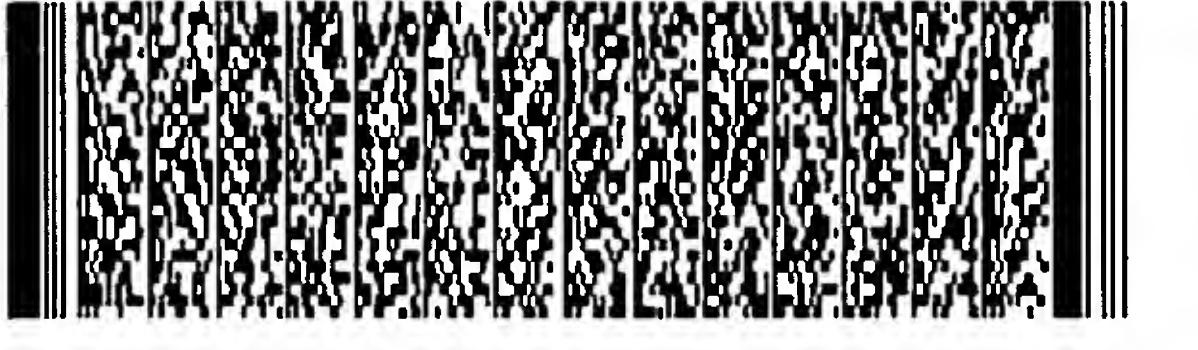


(4.7版)申請案件名稱:製作阻障層之方法

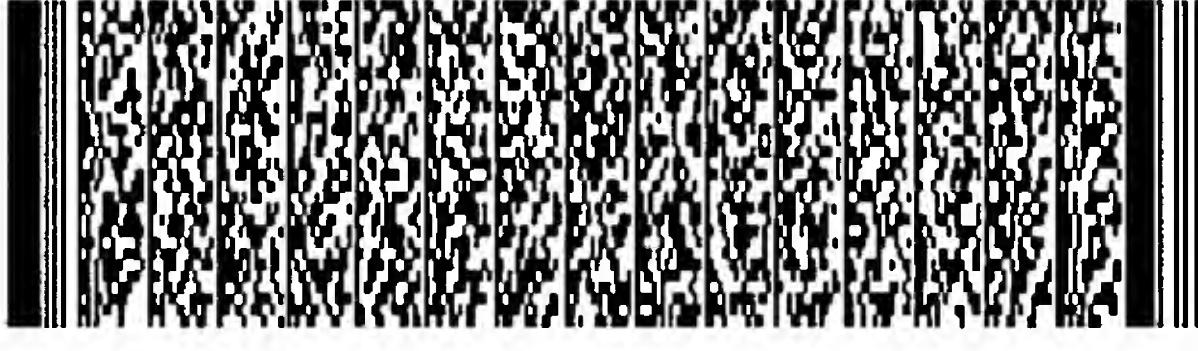
第 11/18 頁



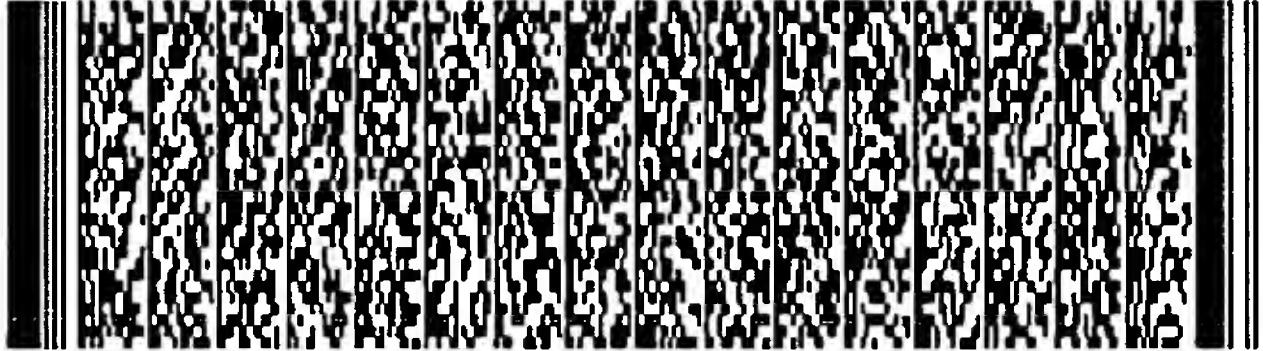
第 12/18 頁



第 13/18 頁



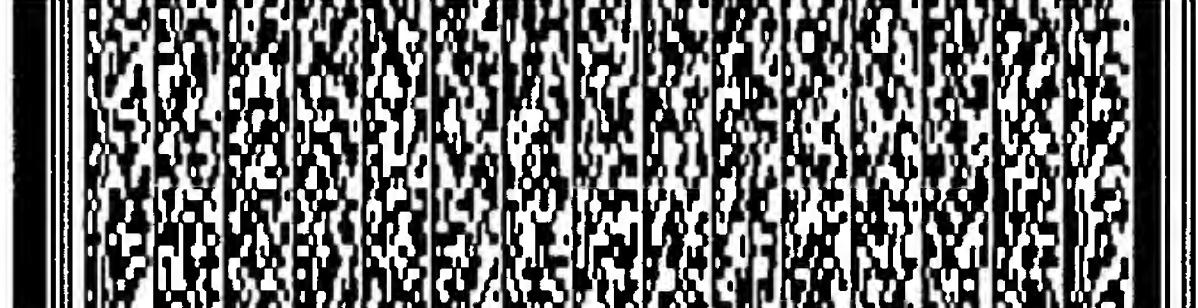
第 14/18 頁



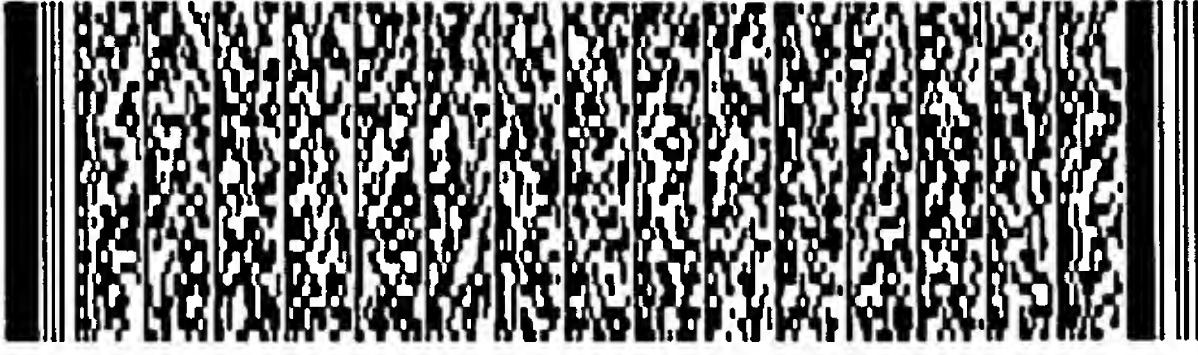
第 15/18 頁



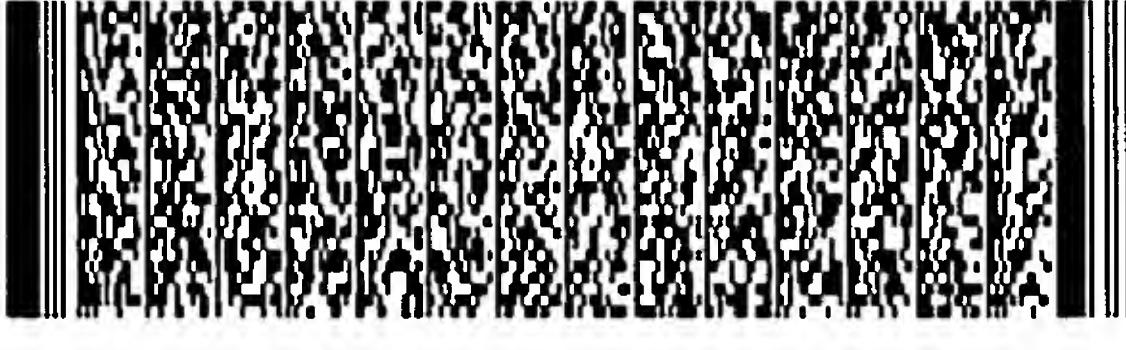
第 17/18 頁



第 11/18 頁



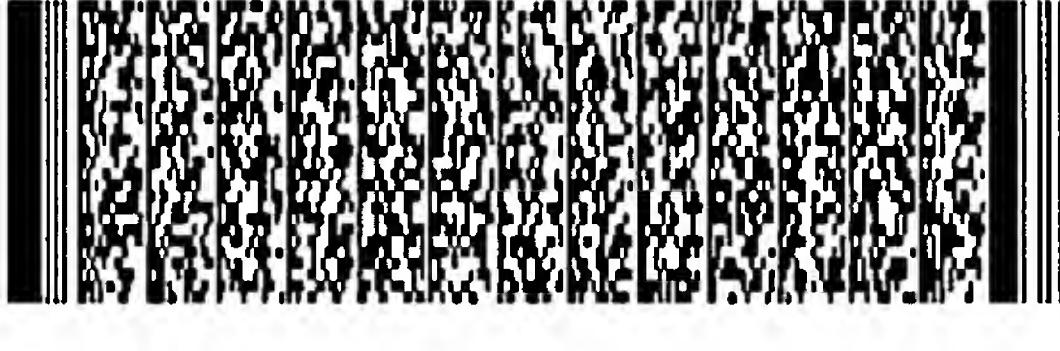
第 12/18 頁



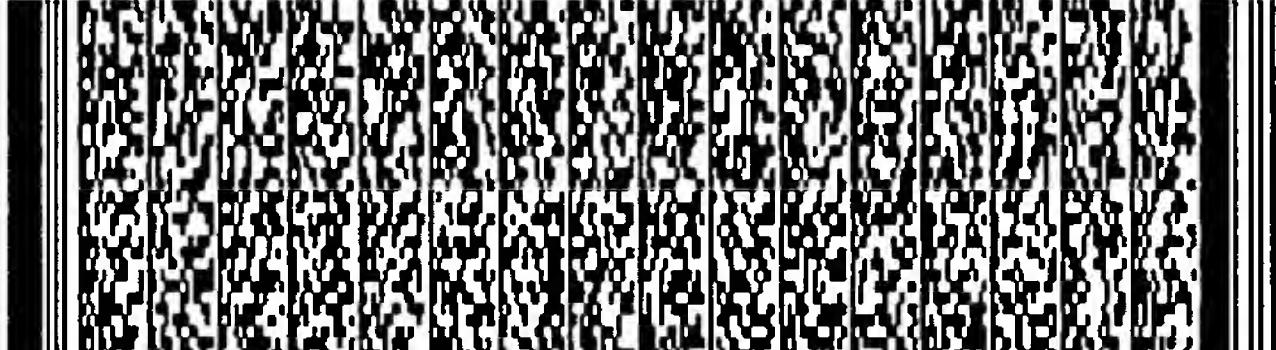
第 13/18 頁



第 15/18 頁



第 16/18 頁



第 18/18 頁

